

Digitale Systeme

„...möchten **Sie** vielleicht die Vorlesung halten?“

Mitschrift von www.kuertz.name

Hinweis: Dies ist **kein offizielles Script**, sondern nur eine private Mitschrift. Die Mitschriften sind teilweise **unvollständig, falsch oder inaktuell**, da sie aus dem Zeitraum 2001–2005 stammen. Falls jemand einen Fehler entdeckt, so freue ich mich dennoch über einen kurzen Hinweis per E-Mail – vielen Dank!

Klaas Ole Kürtz (klaasole@kuertz.net)

Inhaltsverzeichnis

1	Einführung	1
1.1	Definitionen	1
1.2	Weshalb digitale Systeme?	3
1.3	Aussagenlogik	3
1.4	Schaltalgebra	3
1.5	Schaltwerke/Schaltnetze	4
1.5.1	Beispiel: Ampelschaltung	4
2	Elektrotechnische Grundlagen	4
2.1	Ströme, Spannungen, Ohmsche Widerstände	4
2.1.1	Kirchhoffsche Gesetze	5
2.2	Schalter in Widerstandsnetz	5
2.3	Kapazitäten/Kondensatoren und Induktivitäten	5
2.4	Elektrische Netzwerke	6
2.4.1	Lineare Netzwerke mit harmonischer Ansteuerung	6
2.4.2	Periodische Erregung von Kapazitäten/Induktivitäten	7
2.4.3	Zweipol-Netzwerke mit R, Z_L, Z_C	8
2.4.4	Übertragungsverhalten von Vierpolen	9
2.4.5	Erzeugung harmonischer Schwingungen	10
2.4.6	Verstärker	11
2.5	Aktive Schaltelemente	12
2.5.1	Dioden	12
2.5.2	Bipolare Transistoren	13
2.5.3	Beschaltung eines Transistors	15
2.5.4	Elementare logische Schaltkreise	16
2.5.5	MOS-Feld-Effekt-Transistoren	16
2.5.6	Logische Verknüpfungen	17
2.5.7	Path-Transistor	18
2.5.8	CMOS-Technologie	19
3	Schaltfunktionen und Schaltnetze	19
3.1	Kanonische Darstellungen von Schaltfunktionen	20
3.2	Minimierungsverfahren für Schaltwerksfunktionen	22
3.2.1	Das Quine-McCluskey-Verfahren	23
3.2.2	n -dimensionale Würfel	25
3.2.3	Karnough-Diagramme	25
3.2.4	Optimierung	25
3.2.5	Systeme von Schaltfunktionen	26
3.3	Programmierbare logische Arrays (PLAs)	26

4	Zahldarstellung und Arithmetik	27
4.1	Arithmetik vorzeichenbehafteter ganzer Zahlen	27
4.1.1	Darstellung des Addieralgorithmus (Basis $p = 2$)	28
4.1.2	Berücksichtigung der Vorzeichen	28
4.2	Das Carry-propagation-Problem	30
4.3	Binär-Multiplikation	31
4.3.1	Kaskadierung von Multiplikationen	31
4.4	Konvertierungen von Zahldarstellungen verschiedener Basen	32
5	Sequentielle Schaltwerke	32
5.1	Multiplikation als wiederholte Addition	32
5.2	Speichern der Elemente	34
5.2.1	RS-Latch	35
5.2.2	Regelgesteuertes Latch	35
5.2.3	JK-Latch	35
5.2.4	JK-Master-Slave-Latch (Flipflop)	35
5.2.5	D-Flipflop (flankengesteuert)	36
5.3	Register	36
5.3.1	einfache speichernde Register	36
5.3.2	Tri-State-Registerausgänge	36
5.3.3	Schieberegister	36
5.3.4	Zählregister	37
5.4	Arbeitsspeicher	38
5.5	Entwurf eines finiten Automaten	38
5.5.1	Beispiel: Fahrkartenautomat	38

1 Einführung

1.1 Definitionen

- Ein *System* (der Informationsverarbeitung) ist eine Menge zusammengehörender aktiver und passiver Komponenten, die zweckgebunden mit einander kooperieren. Es wird beschrieben durch
 - die Eigenschaften seiner Komponenten
 - deren Wechselwirkungen untereinander
 - die Festlegung von Systemgrenzen gegenüber seiner Umgebung
 - die Wechselwirkungen mit seiner Umgebung bzw. die Beziehungen zwischen Systemeingabe und Systemausgabe
- *Systemmodelle* sind Abstraktionen von realen Systemen, sie beschränken sich auf die Beschreibung essentieller Sachverhalte. Die Wahl der Systemgrenzen hängt oft von Betrachtungsweise ab, sie sind ggf. geschlossen bzw. Wechselwirkungen mit der Umgebung werden artifiziell ausgeschlossen (übliche Vorgehensweise in exakten Natur- bzw. Strukturwissenschaften)
- *Systemzustand*: beschrieben durch messbare Eigenschaften und Parameter der Gesamtheit aller Systemkomponenten bzw. ggf. deren Beziehungen zueinander, also z.B.
 - Stroeme, Spannungen, Ladungen, Magnetisierungen etc. in physikalischen Systemen
 - symbolische Werte wie z.B. true, false, 0, 1, Zahlendarstellungen etc. als Abstraktionen / Interpretationen physikalischer Zustände in datenverarbeitenden Systemen
- *internes Systemverhalten*: wird beschrieben durch Folge von Zuständen und Zustandsänderungen, ausgelöst durch Veränderungen an den Systemeingängen bzw. durch intern erzeugte Ereignisse (\rightarrow Takte einer Uhr)
- *externes Systemverhalten*: an den Systemausgängen beobachtbare Veränderungen, die durch Veränderungen an den Systemeingängen verursacht werden (ohne Berücksichtigung interner Vorgänge).
- *Digitale Systeme*: Eingabe, Ausgabe und interne Zustände können nur diskrete Werte annehmen

- *Binaere digitale*: Systeme Eingabe, Ausgabe und interne Elementar-Zustaeude koennen nur zwei unterscheidbare Werte annehmen - diese bilden die physische Plattform aller datenverarbeitenden Systeme
- *Analoge Systeme*: Eingabe, Ausgabe und interne Zustaeude koennen Werte aus einem kontinuierlichen Wertebereich annehmen, alle physikalischen Systeme bilden in Form von Sensoren und Aktuatoren die Schnittstellen digitaler Systeme zu einer realen Umwelt. Analoge Systeme bedingen Analog-Digital und Digital-Analog Konverter, es gibt (gab) aber auch Analogrechner zur Simulation von physikalischen Vorgaengen
- *synchrone bzw. getaktete* digitale Systeme: alle Zustandsaenderungen werden durch die Takte einer Uhr ausgeloeset, zwischen zwei Uhrticks ist der Systemzustand stabil.
- *Asynchrone Systeme*: sind nicht getaktet; Zustandsaenderungen erfolgen lokal und dann, wenn geeignete lokale Bedingungen oder Werte fuer messbare Systemparameter vorliegen.
- Der *Systementwurf* ist bestimmt durch Intuition und Expertise, es gibt keine Rezepte, exakte Vorgehensweisen, die eine Systemspezifikation in eindeutiger Weise in ein der Spezifikation entsprechendes reales System transformieren.
 1. die *Spezifikation* legt fest, was das System tun und leisten soll und was es nicht tun und leisten soll
 2. das *Architecting* legt die Aufteilung des Systems in strukturelle Komponenten und Subsysteme, deren Funktionalitaet, die Schnittstellen zwischen den Komponenten und die darueber ablaufenden Wechselwirkungen fest - es liefert eine funktionale und strukturelle Beschreibung
 3. die *Implementierung* befasst sich mit der Umsetzung des architekturellen Entwurfs in physische Komponenten, deren wechselseitige Anordnung, physische Verbindungen, mit der Wahl der Technologie sowie mit Randbedingungen wie Leistung, Energieverbrauch, Zuverlaessigkeit, Herstellungskosten, Wartung etc.
 4. das *Testen* dient der Validierung der vorangegangenen drei Phasen des Systementwurfs bezueglich korrekter Funktion des Systems gemaess Spezifikation, es kann in digitalen Systemen aus Komplexitaetsgruenden nicht voll- staendig sein; Festlegung von Systemtests, die ausreichende Gewaehr fuer fehlerfreie Funktion bieten, ist wesentlicher Bestandteil des Entwurfs

- ▶ ggf. mehrfache (teilweise) Wiederholungen

1.2 Weshalb digitale Systeme?

- physikalische Realisierung → elektronische Komponenten (Transistoren, Widerstände, Kapazitäten, Induktivitäten); Zustände sind Spannungen oder Ströme
→ *siehe auch Skizze 1*
- ausgereifter formaler Apparat zur Verhaltensbeschreibung → Aussagenlogik, Schaltalgebra, (Automatentheorie)

1.3 Aussagenlogik

- *Aussagen* sind Formalisierung von sprachlichen Gebilden, von denen es sinnvoll ist zu behaupten, sie seien *wahr* oder *falsch* (*true* oder *false*)
- Aussagen werden *dargestellt* durch Variablen, die die Werte *true* oder *false* annehmen können: $a, b, u, v, \dots \in \{true, false\}$
- *Junktoren* sind logische Verknüpfungen
 - *Negation*: if a is true then b is false else b is true ($b = \neg a$)
 - *Konjunktion*: if a is true and b is true then c is true else c is false ($c = a \wedge b$)
 - *Disjunktion*: if a is true or b is true then c is true else c is false ($c = a \vee b$)

1.4 Schaltalgebra

- Schaltalgebra ist äquivalent zur Aussagenlogik, aber ersetzt die Wahrheitswerte *true* und *false* durch *H/high/1* und *L/low/0*.
- Darstellung der Operationen
 - *Negation*: $\bar{a} := \neg a$
 - *Konjunktion*: $ab := a \cdot b := a \wedge b$
 - *Disjunktion*: $a + b := a \vee b$
- Umsetzen der Operationen in Schalter: → *siehe Skizze 2*
- Schaltsymbole: → *siehe Skizze 3*

1.5 Schaltwerke/Schaltnetze

- *Schaltwerke* sind gedächtnisbehaftet \rightarrow besitzen speichernde Elemente
- Schaltwerke arbeitet getaktet \rightarrow mit *clock ticks*: Eingangsbelegung/-Zustandsänderungen werden mit clock ticks übernommen, es entsteht unmittelbar eine neue Ausgangsbelegung und ein neuer Zustand, der aber an den Eingängen erst im nächsten clock tick mit neuen Eingangswerten verarbeitet werden.
- *Schaltnetze* besitzen i.a. keine Speicher, arbeiten ungetaktet
- Unterschied Schaltnetze/Schaltwerke: Schaltnetze liefern bei gleichen Eingangszuständen immer gleiche Ausgangszustände, Schaltwerke können hingegen speichern und verschiedene Ergebnisse liefern.
- Automaten sind endlich, falls die Menge der Zustände endlich ist

1.5.1 Beispiel: Ampelschaltung

Spezifikation:

1. Farben in North-South-Richtung sind gleich
2. Farben in West-East-Richtung sind gleich
3. Farben in NS-Richtung sind zu jeder Zeit ungleich Farben in WE-Richtung
4. Die Ampel durchläuft zyklisch die Phasen green (20 sec), yellow (5 sec), red (30 sec), red/yellow (5 sec).

2 Elektrotechnische Grundlagen

2.1 Ströme, Spannungen, Ohmsche Widerstände

- Strom $I = \frac{dq}{dt}$; $[I] = 1A$ (Ladungstransport in el. leitendem Material)
- Widerstand $R = \varrho \cdot \frac{ds}{df}$; $[R] = 1\Omega$
- Leitwert $L = \frac{1}{R}$; $[L] = 1\frac{1}{\Omega}$
- spez. Widerstand $[\varrho] = 1 \cdot \Omega \cdot cm$ (Materialeigenschaft)
- Spannung $U = R \cdot I$; $[U] = 1V$

- Leistung $N_R = U \cdot I$; $[N_R] = 1W$
- Arbeit $A_R = \int_{t_1}^{t_2} N_R dt$; $[A_R] = 1Ws = 1J$
- Spannungsquellen: Konstantquelle mit Innenwiderstand, *siehe Skizze 4* (R_I)
- Maximierung von N_R :

$$\begin{aligned} & \frac{dN_R}{dR} \\ &= U_E^2 \cdot \frac{d(R \cdot (R+R_I)^{-2})}{dR} \\ &= U_E^2 \cdot ((R+R_I)^{-2} - 2R(R+R_I)^{-3}) \\ &= U_E^2 \cdot \left(\frac{(R+R_I) - 2R}{(R+R_I)^3} \right) \text{ Dieser Term wird minimal, wenn } R = R_I. \end{aligned}$$

2.1.1 Kirchhoffsche Gesetze

- Knotensatz: Die Summe aller Ströme an einem Knotenpunkt im Netzwerk müssen 0 sein.
- Maschensatz: Die Summe aller erzeugenden Spannungen ist gleich er Summe aller abgehenden Spannungen.

2.2 Schalter in Widerstandsnetz

- Stromkreis mit Spannungsquelle U_E , festem Widerstand R und Regelwiderstand R_S mit $R_S \in [0 \dots \infty[$.
- $I_S = \frac{U_E}{R+R_S}$
 $U_S = I_S \cdot R_S = U_E \cdot \frac{R_S}{R+R_S}$
- Bei $R_S = 0$ ist $U_S = 0$,
 bei $R_S = R$ ist $U_S = \frac{1}{2}U_E$,
 bei $R_S \rightarrow \infty$ ist $U_S = U_E$; $I_S \approx 0$
- *siehe Skizze 4 Rückseite*

2.3 Kapazitäten/Kondensatoren und Induktivitäten

- Kapazitäten sind ladungsspeichernde Schaltelemente.
- z.B. Plattenkondensator mit Fläche F , Plattenabstand d , Kapazität $C = \epsilon_0 \cdot \epsilon_r \cdot \frac{F}{d}$ (rel. Dielektrizitätskonstante ϵ_r liegt z.B. bei Silizium bei 4 bis 5)

- Induktive Elemente sind z.B. Spulen
- Induktivität $L = n^2 \cdot \mu_0 \cdot \mu_r \cdot \frac{F}{l}$ (die rel. Permeabilität μ_r ist für ferromagnetische Materialien sehr viel größer als 1)

2.4 Elektrische Netzwerke

- Ein Element τ beschreibt die Transformation von Eingangsgrößen \vec{x} in Ausgangsgrößen \vec{y} durch ein Netzwerk bestehend aus passiven (R, C, L) und aktiven (Transistoren) Komponenten.
- Ein Netzwerk ist passiv, falls die Energieaufnahme an den Eingängen über ein großes Zeitintervall größer ist als Energieabgabe an den Ausgängen.
- Ein Netzwerk ist verlustfrei, falls Energieaufnahme an den Eingängen gleich Energieabgabe an den Ausgängen.
- Ansonsten ist das Netzwerk aktiv.
- $\tau(\vec{x}_0 + \vec{x}_1 + \dots + \vec{x}_i) = \tau\vec{x}_0 + \dots + \tau\vec{x}_i$.

2.4.1 Lineare Netzwerke mit harmonischer Ansteuerung

- harmonische Schwingung: $x = x_0 \cdot \cos(\omega t + \varphi)$
- mit Zeit t mit $-\infty < t < \infty$, Kreisfrequenz ω , Amplitude x_0 , Elongation x , feste Phasenverschiebung φ , Periodendauer T
- Sind in Schaltnetzwerken Kapazitäten oder Indutivitäten vorhanden, gibt es eine Phasenverschiebung φ zwischen Spannung und Strom: $I(t) = I_0 \cdot \cos(\omega t)$ und $U(t) = U_0 \cdot \cos(\omega t + \varphi)$.
- Energieaufnahme: $N_\tau = U(t) \cdot I(t) = U_0 \cdot I_0 \cdot \cos(\omega t) \cdot \cos(\omega t + \varphi)$

- Arbeit: $A = U_0 \cdot I_0 \cdot \int_0^T \cos(\omega t) \cdot \cos(\omega t + \varphi) dt$ mit Theorem

$$= U_0 \cdot I_0 \cdot \left[\cos\varphi \int_0^T \cos(\omega t)^2 dt - \sin\varphi \cdot \int_0^T \sin(\omega t) \cdot \cos(\omega t) dt \right]$$

$$= U_0 \cdot I_0 \cdot \left[\cos\varphi \int_0^T \frac{1+\cos(2\omega t)}{2} dt - \sin\varphi \cdot \int_0^T \sin(2\omega t) dt \right]$$

$$= U_0 \cdot I_0 \cdot \cos\varphi \cdot \int_0^T \frac{1}{2} dt$$

$$= U_0 \cdot I_0 \cdot \cos \varphi \cdot \frac{T}{2}$$

- damit Leistungsaufnahme: $N_R = \frac{A}{T} = \frac{1}{2} \cdot U_0 \cdot I_0 \cdot \cos \varphi = U_{eff} \cdot I_{eff} \cdot \cos \varphi$
- Effektivwerte: $U_{eff} = \frac{U_0}{\sqrt{2}}$ und $I_{eff} = \frac{I_0}{\sqrt{2}}$
- $U(t) = U_0 \cdot \cos(\omega t + \varphi)$
 $I(t) = I_0 \cdot \cos(\omega t)$
- $z = |z| \cdot (\cos \omega t + j \cdot \sin \omega t) = |z| \cdot e^{j\omega t}$

2.4.2 Periodische Erregung von Kapazitäten/Induktivitäten

Über eine *Kapazität* wird eine periodische Spannung angelegt, so daß durch die Kapazität ein periodischer Strom fließt: $I(t) = I_0 \cdot e^{j\omega t + \varphi}$ und $U(t) = U_0 \cdot e^{j\omega t}$. Die Ladungsänderung im Kondensator über die Zeit t ist

$$I = \frac{dq}{dt} \tag{1}$$

$$= C \cdot \frac{dU}{dt} \tag{2}$$

$$I_0 \cdot e^{j\omega t} \cdot e^{j\varphi} = C \cdot j\omega \cdot U_0 \cdot e^{j\omega t} \tag{3}$$

$$I_0 \cdot e^{j\varphi} = C \cdot j\omega \cdot U_0 \tag{4}$$

$$e^{j\varphi} = C \cdot j\omega \cdot \frac{U_0}{I_0} \tag{5}$$

$$\cos \varphi + j \cdot \sin \varphi = C \cdot j\omega \cdot \frac{U_0}{I_0} \tag{6}$$

$$\cos \varphi = 0 \quad \wedge \quad \sin \varphi = 1 \tag{7}$$

$$j = C \cdot j\omega \cdot \frac{U_0}{I_0} \tag{8}$$

$$1 = C \cdot \omega \cdot \frac{U_0}{I_0} \tag{9}$$

$$I(t) = j\omega C \cdot U(t) \tag{10}$$

(6) Realteil rechts ist 0, daher ist $\cos \varphi = 0$ und daher $\varphi = \frac{\pi}{2}$. Damit ist $\sin \varphi = 1$.

Der Strom eilt also der Spannung um $\frac{\pi}{2}$ voraus. Damit geht in einer Phase die Leistung in den Kondensator und kommt später wieder heraus, d.h. die Leistung muß in der Spannungsquelle vorhanden sein, geht aber in diese zurück.

Über eine *Induktivität* wird eine periodische Spannung angelegt, so daß durch die Induktivität ein periodischer Strom fließt: $I(t) = I_0 \cdot e^{j\omega t + \varphi}$ und $U(t) = U_0 \cdot e^{j\omega t}$. Die Ladungsänderung in der Induktivität über die Zeit t ist

$$\begin{aligned} U &= L \cdot \frac{dI(t)}{dt} \\ U(t) &= j\omega L \cdot I(t) \end{aligned}$$

Damit eilt die Spannung dem Strom um $\frac{\pi}{2}$ voraus.

Für Kapazitäten gibt es analog zu ohmschen Widerständen einen kapazitiven Widerstand, der imagainär ist: $R_C = \frac{U(t)}{I(t)} = \frac{-j}{\omega C}$.

Für Induktivitäten gibt es analog dazu einen induktiven Widerstand, der imgainär ist: $R_L = \frac{U(t)}{I(t)} = j\omega L$.

2.4.3 Zweipol-Netzwerke mit R , Z_L , Z_C

Ein Zweipol ist ein Element, in das ein Eingangsstrom \vec{I}_E hineinfließt und ein Ausgangsstrom \vec{I}_A herausfließt mit $I_E = I_A$.

1. Serienschaltung von Kapazität, Induktivität und realem Widerstand (siehe Skizze):

$$U_{E \rightarrow A} = U_R + U_L + U_C \quad (11)$$

$$= I \cdot \left(R + j\omega L + \frac{j}{\omega C} \right) \quad (12)$$

$$= I \cdot \left(R + j \cdot \left(\omega L - \frac{1}{\omega C} \right) \right) \quad (13)$$

$$= I \cdot (R + j \cdot Z) \quad (14)$$

$$Z = 0 \quad (15)$$

$$\omega_0 L = \frac{1}{\omega_0 C} \quad (16)$$

$$\omega_0^2 = \frac{1}{L \cdot C} \quad (17)$$

$$\omega_0 = \frac{1}{\sqrt{L \cdot C}} \quad (18)$$

$$(19)$$

(13) rein komplexer Widerstand Z

(19) ω_0 ist die Resonanzfrequenz

Bei der Resonanzfrequenz ist der Widerstand $R_C + R_L = 0$?

2. Parallelschaltung von R, R_C, R_L (siehe Skizze):

$$I = U_{E \rightarrow A} \cdot \left(\frac{1}{R} + \frac{1}{j\omega L} + \frac{\omega C}{-j} \right) \quad (20)$$

$$= U_{E \rightarrow A} \cdot \left(\frac{1}{R} + j \cdot \left(j\omega C + \frac{1}{\omega L} \right) \right) \quad (21)$$

$$\omega_0^2 = \frac{1}{L \cdot C} \quad (22)$$

$$\omega_0 = \frac{1}{\sqrt{L \cdot C}} \quad (23)$$

Damit ist $\frac{1}{Z} = \frac{1}{R} + j \cdot \left(\omega C - \frac{1}{\omega L} \right)$.

(23) ω_0 ist die Resonanzfrequenz

Bei der Resonanzfrequenz ist der Widerstand $R_C + R_L = \infty$? Bei $\omega = \omega_0$ oder $\omega = \infty$

2.4.4 Übertragungsverhalten von Vierpolen

1. Leitwertdarstellung:

$$I_1 = Y_{11} \cdot U_1 + Y_{12} \cdot U_2$$

$$I_2 = Y_{21} \cdot U_1 + Y_{22} \cdot U_2$$

Messungen der Leitwerte durch

(a) Kurzschluß am Ausgang, damit $U_2 = 0$, daraus folgt:

$$Y_{11} = \frac{I_1}{U_1} \text{ und } Y_{21} = \frac{I_2}{U_1}.$$

(b) Kurzschluß am Eingang, damit $U_1 = 0$, daraus folgt:

$$Y_{12} = \frac{I_1}{U_2} \text{ und } Y_{22} = \frac{I_2}{U_2}.$$

Ersatzschaltbild (siehe Skizze) mit den Leitwerten Y_1, Y_2, Y_3 :

- $Y_{11} = Y_1 + Y_3$ (siehe Skizze)
- $Y_{22} = -(Y_3 + Y_2)$ (siehe Skizze)
- $Y_{12} = -Y_{21} = Y_3$
- passive Netzwerke: $Y_{12} = -Y_{21}$ (Koppelungsglieder)

2. Widerstandsdarstellung:

$$U_1 = Z_{11} \cdot I_1 + Z_{12} \cdot I_2$$

$$U_2 = Z_{21} \cdot I_1 + Z_{22} \cdot I_2$$

Messung der Widerstände:

(a) Ausgang offen, damit $I_2 = 0$, daraus folgt:

$$Z_{11} = \frac{U_1}{I_1} \text{ und } Z_{21} = \frac{U_2}{I_1}$$

(b) Eingang offen, damit $I_1 = 0$, daraus folgt:

$$Z_{12} = \frac{U_1}{I_2} \text{ und } Z_{22} = \frac{U_2}{I_2}$$

Ersatzschaltbild (siehe Skizze) mit den Widerständen Z_1, Z_2, Z_3

- $Z_{11} = Z_1 + Z_3$ (siehe Skizze)
- $Z_{22} = -(Z_3 + Z_2)$
- $Z_{12} = -Z_{21} = Z_3$
- passive Netzwerke: $Z_{12} = -Z_{21}$

3. Kettenverknüpfung

$$U_1 = A_{11} \cdot U_2 + A_{12} \cdot I_2$$

$$I_1 = A_{21} \cdot U_2 + A_{22} \cdot I_2$$

(unterschiedliche Größen, A_{11} und A_{22} sind reine Faktoren, A_{12} ein Widerstand, A_{21} ein Leitwert).

2.4.5 Erzeugung harmonischer Schwingungen

$$U(t) = U_0 \cdot e^{\lambda t} \tag{24}$$

$$0 = \frac{d^2 U(t)}{dt^2} + p \cdot \frac{dU(t)}{dt} + q \cdot U(t) \tag{25}$$

$$0 = U_0 \cdot \lambda^2 \cdot e^{\lambda t} + p \cdot U_0 \cdot \lambda \cdot e^{\lambda t} + q \cdot U_0 \cdot e^{\lambda t} \tag{26}$$

$$0 = \lambda^2 + p \cdot \lambda + q \tag{27}$$

$$\lambda_{1/2} = -\frac{p}{2} \pm \sqrt{\frac{p^2}{4} - q} \tag{28}$$

$$\lambda_{1/2} = \pm \sqrt{-q} = \pm j \sqrt{|q|} \tag{29}$$

$$U(t) = U_0 \cdot e^{\pm j \sqrt{|q|} \cdot t} \tag{30}$$

$$\omega_0 = \pm j \sqrt{|q|} \tag{31}$$

$$U(t) = U_0 \cdot e^{-\frac{p}{2} \cdot t} \cdot e^{\pm j \sqrt{\frac{p^2}{4} - q} \cdot t} \tag{32}$$

$$\omega_0 = \pm j \sqrt{\frac{p^2}{4} - \omega_0^2} \tag{33}$$

$$\tag{34}$$

(25) Annahme einer homogenen Differenzialgleichung zweiter Ordnung

(27) quadratische Gleichung

(28) Interpretation: mit $p = 0$

(30) harmonische Schwingung!

(31) andere (?) Interpretation: mit $\frac{p^2}{4} < q$

- bei $\frac{p^2}{4} < q$: gedämpfte Schwingung
- bei $\frac{p^2}{4} = q$: aperiodischer Grenzfall
- bei $\frac{p^2}{4} > q$: Kriechfall

2.4.6 Verstärker

Ein Verstärker ist ein Vierpol mit entsprechender Interpretationsmöglichkeit¹ (laut 2.4.4.3):

$$U_1 = A_{11} \cdot U_2 + A_{12} \cdot I_2$$

$$I_1 = A_{21} \cdot U_2 + A_{22} \cdot I_2$$

Um einen Verstärkungseffekt zu erreichen, muß $A_{11} = \frac{-1}{k}$ mit $k \gg 1$, zunächst $A_{12} = A_{21} = A_{22} = 0$. Bezüglich der Leitwerte machen wir folgende Annahmen: $Y_{11} = Y_{12} = Y_{21} = 0$ und $Y_{22} \rightarrow \infty$.

Zusätzlich zugeschaltete Widerstände R_E und R_G (siehe Skizze):

$$\begin{aligned} I_E &= I_G \\ I_E &= \frac{U_1 - U_0}{R_E} \\ I_G &= \frac{U_0 - U_2}{R_G} \\ U_0 &\rightarrow 0 \\ \frac{U_1}{R_E} &= \frac{-U_2}{R_G} \\ \frac{U_2}{U_1} &= \frac{-R_G}{R_E} \end{aligned}$$

¹Übungsleiter: „In der Praxis ist unendlich reaktiv klein“

(U_0 wir vernachlässigbar klein: $-U_0 \cdot k = U_2$ bei sehr großem k).

$$\begin{aligned}
 U_1 &= -R_{E_1} \cdot \left(\frac{R_{E_2}}{R_{G_1}} \cdot \left(\frac{U_1}{R_{G_2}} + C_2 \cdot \frac{dU_1}{dt} \right) + C_1 \cdot \left(-R_{E_2} \cdot \left(\frac{1}{R_{G_2}} \cdot \frac{dU_1}{dt} + C_2 \frac{d^2U_1}{dt^2} \right) \right) \right) \\
 U_1 &= \frac{R_{E_1} \cdot R_{E_2}}{R_{G_1} \cdot R_{G_2}} \cdot U_1 + \frac{R_{E_1} \cdot R_{E_2}}{R_{G_1}} \cdot C_2 \cdot \frac{dU_1}{dt} + \frac{R_{E_1} \cdot R_{E_2}}{R_{G_1}} \cdot C_1 \cdot \frac{dU_1}{dt} + R_{E_1} \cdot R_{E_2} \cdot C_1 \cdot C_2 \cdot \frac{d^2U}{dt^2} \\
 0 &= \frac{d^2U}{dt^2} + \frac{1}{C_1 \cdot C_2 \cdot R_{G_1} \cdot R_{G_2}} \cdot U_1 + \left(\frac{1}{C_1 \cdot R_{G_1}} + \frac{1}{C_2 \cdot R_{G_2}} \right) \cdot \frac{dU_1}{dt} - \frac{U_1}{C_1 \cdot C_2 \cdot R_{E_1} \cdot R_{E_2}} \\
 &= \frac{d^2U}{dt^2} + \left(\frac{1}{C_1 \cdot R_{G_1}} + \frac{1}{C_2 \cdot R_{G_2}} \right) \cdot \frac{dU_1}{dt} + \left(\frac{1}{C_1 \cdot C_2 \cdot R_{G_1} \cdot R_{G_2}} - \frac{1}{C_1 \cdot C_2 \cdot R_{E_1} \cdot R_{E_2}} \right) \cdot U_1 \\
 &= \frac{d^2U}{dt^2} + p \cdot \frac{dU_1}{dt} + q \cdot U_1
 \end{aligned}$$

ungedämpfte Schwingung ($p = 0$): $R_{G_1} = R_{G_2} = \infty$.

$$\begin{aligned}
 0 &= \frac{d^2U_1}{dt^2} - \frac{U_1}{C_1 \cdot C_2 \cdot R_{E_1} \dot{R}_{E_2}} \\
 q &= \frac{-1}{C_1 \cdot C_2 \cdot R_{E_1} \dot{R}_{E_2}} \\
 \omega_0 &= \sqrt{q} \\
 &= \sqrt{\frac{-1}{C_1 \cdot C_2 \cdot R_{E_1} \dot{R}_{E_2}}} \\
 \lambda &= j \cdot \sqrt{|q|}
 \end{aligned}$$

2.5 Aktive Schaltelemente

2.5.1 Dioden

- Schwellspannung $U_S = 0,75V$ (bei Silizium)
- Leckstrom/Sperrstrom I_S mit $10^{-18}A \leq I_S \leq 10^{-8}A$
- Durchbruchspannung U_B
- thermische Spannung $U_T = 26mV$
- Diodenstrom $I_D = I_S \cdot (e^{\frac{U_D}{U_T}} - 1)$
- $U_E = U_D + I \cdot R$ und $I = \frac{U_E - U_D}{R}$

2.5.2 Bipolare Transistoren

- Stromverstärker, aufgebaut aus p-leitenden und n-leitenden Halbleitern
- p-leitend: Überschuss positiver Ladungsträger
- n-leitend: Überschuss negativer Ladungsträger
- es gibt *npn*-Transistoren und *pnp*-Transistoren
- Dioden sind *pn*-Übergänge

Vorwärtsverstärkung des npn

- $I_C = I_S \cdot \left(e^{\frac{U_{BE}}{U_T}} - 1 \right)$
- $I_C = \beta_F \cdot I_B$
- Vorwärtsstromverstärkungsfaktor β_F ist $\in [20, 500]$
- $I_E = I_C + I_B = (\beta_F + 1) \cdot I_B$
- $I_E = I_S \cdot \left(\frac{\beta_F + 1}{\beta_F} \right) \cdot \left(e^{\frac{U_{BE}}{U_T}} - 1 \right)$
- $\alpha_F = \frac{\beta_F}{1 + \beta_F}$
- $I_B = \frac{I_S}{\beta_F} \cdot \left(e^{\frac{U_{BE}}{U_T}} - 1 \right)$

Rückwärtsverstärkung/Inversverstärkung des npn

- $I_E = -I_S \cdot \left(e^{\frac{U_{BC}}{U_T}} - 1 \right)$
- $I_E = -\beta_R \cdot I_C$
- Rückwärtsstromverstärkungsfaktor β_R ist $\in [0, 20]$
- $I_C = I_B - I_E = -(\beta_F - 1) \cdot I_B$
- $I_C = -I_S \cdot \left(\frac{\beta_R - 1}{\beta_R} \right) \cdot \left(e^{\frac{U_{BC}}{U_T}} - 1 \right)$
- $\alpha_R = \frac{\beta_R}{1 + \beta_R}$

- $I_B = \frac{I_S}{\beta_R} \cdot \left(e^{\frac{U_{BC}}{U_T}} - 1 \right)$

Das Addieren beider Richtungen liefert die Gesamtströme:

- $I_E = I_{E_F} + I_{E_R}$
- $I_C = I_{C_F} + I_{C_R}$
- $I_B = I_{B_F} + I_{B_R}$

Betriebsbereiche des *npn*-Transistors:

- *Sättigungsbereich* $U_{BE} > 0 \wedge U_{BC} > 0$: der Transistor wirkt als geschlossener Schalter
- *Vorwärtsverstärkungsbereich* $U_{BE} > 0 \wedge U_{BC} < 0$: β_F wird wirksam
- *Rückwärtsverstärkungsbereich* $U_{BE} < 0 \wedge U_{BC} > 0$: β_R wird wirksam
- *Sperrbereich* $U_{BE} < 0 \wedge U_{BC} < 0$: der Transistor wirkt als offener Schalter

2.5.3 Beschaltung eines Transistors

$$\begin{aligned}
 I_E &= I_C + I_B \\
 I_C &= I_B \cdot \beta_F \\
 U_{CC} &= I_C \cdot R_C + I_E \cdot R_E + U_{CE} \\
 U_Q &= I_B \cdot R_B + I_E \cdot R_E + U_{BE} \\
 \alpha_F &= \frac{\beta_F}{1 + \beta_F} \\
 U_{CE} &= f(U_Q)? \\
 U_{CE} &= U_{CC} - I_C \cdot R_C - I_E \cdot R_E \\
 &= U_{CC} - I_B \cdot R_C \cdot \beta_F - \frac{I_B \beta_F}{\alpha_F \cdot R_E} \\
 &= U_{CC} - I_B \cdot \beta_F \cdot \left(R_C + \frac{R_E}{\alpha_F} \right) \\
 U_{BE} &= I_B \cdot R_B + I_B \cdot (1 + \beta_F) \cdot R_E \\
 &= I_B \cdot (R_B + (1 + \beta_F) \cdot R_E) \\
 I_B &= \frac{U_Q - U_{BE}}{R_B + (1 + \beta_F) \cdot R_E} \\
 U_{CE} &= U_{CC} - \frac{(U_Q - U_{BE}) \cdot \beta_F \cdot \left(R_C + \frac{R_E}{\alpha_F} \right)}{R_B + (1 + \beta_F) \cdot R_E} \\
 \beta_F &= 100; \alpha_F = \frac{100}{101} \approx 1 \\
 U_{CE} &\approx U_{CC} - \frac{(U_Q - U_{BE}) \cdot (R_C + R_E) \cdot \beta_F}{R_B + \beta_F \cdot R_E}
 \end{aligned}$$

Bei Vorwärtsverstärkung: $U_{BE} = 0,7V$ und $U_{BC} < 0V$; damit ist der gegebene Term wie gewünscht nur von konstanten Eigenschaften (Widerstände, β_F) und von U_Q abhängig. Beispielrechnung: $R_C = 2k\Omega$, $R_E = 1k\Omega$, $R_B = 100k\Omega$, $U_{CE} = 5V$, $U_{BE} = 0,7V$, $\beta_F = 100$

$$\begin{aligned}
 U_{CE} &\approx 5V - \frac{(U_Q - 0,7V) \cdot (3k\Omega) \cdot 100}{100k\Omega + 100 \cdot 1k\Omega} \\
 &\approx 5V - \frac{3}{2} \cdot (U_Q - 0,7V)
 \end{aligned}$$

Es gibt also eine lineare Verstärkung mit dem Faktor $\frac{3}{2}$ vor.

$$U_{CE} = U_{CC} - I_C \cdot \left(R_C + \frac{R_E}{\alpha_F} \right)$$

Einzelne Fälle:

- $U_{CE} = 0V \Rightarrow U_Q = 3,9V$
- $U_{CE} = 5V \rightarrow U_Q = 0,7V \Rightarrow$ Transistor gesperrt
- $U_Q = 3,9V \Rightarrow$ Transistor ist geschlossen
- $R_E = 0\Omega \rightarrow U_{CC} - \frac{(U_Q - U_{BE}) \cdot R_C \cdot \beta_F}{R_B}$
- $R_B = 0\Omega \rightarrow U_{CC} - (U_Q - U_{BE}) \cdot \frac{R_C + R_E}{R_E}$
- $I_C = 0 \rightarrow U_{CE} = U_{CC}$

Man kann sich also entsprechende Verhältnisse bauen, so daß der Transistor wie gewünscht ein Schalter wird und nur zwischen 0 und 1 schaltet, siehe dazu Skizze.

2.5.4 Elementare logische Schaltkreise

Interpretiere $U > 3,5V$ als *TRUE* bzw. $U < 1,5V$ als *FALSE*. Siehe Skizzen: *and*- und *or*-Schaltung aus Dioden. Problem: Spannungsverlust, Kaskadieren nicht möglich. Besser: DTL-Gatter (Diode-Transistor-Logik), z.B. *nand* und *nor* (siehe Skizze). Noch besser: Dioden durch Transistoren ersetzen \Rightarrow TTL (Transistor-Transistor-Logik)².

2.5.5 MOS-Feld-Effekt-Transistoren

MOSFET = Metall-Oxid-Semiconductor-Feld-Effekt-Transistoren

Elemente: Gate, Source und Drain; zwischen Source und Gate wird eine Spannung U_{GS} angelegt (zum Regulieren) und zwischen Drain und Source ebenfalls (U_{DS}); wichtig ist der Strom I_{DS} durch den DS-Kanal, der durch den Kondensator in der Mitte entstanden ist. K ist ein konstanter Faktor, ein physikalischer Parameter des Transistors.

- *Sperrbereich*: An U_{GS} muß mindestens die Schwell- oder Sperrspannung U_T angelegt werden, damit der Kondensator überhaupt einen DS-Kanal erzeugt ($U_{GS} < U_T \Rightarrow I_{DS} = 0$).
- *linearer Bereich*: für $U_{GS} - U_T > U_{DS} > 0V$ gilt: $I_{DS} = K \cdot (U_{GS} - U_T - \frac{U_{DS}}{2}) \cdot U_{DS}$

²zum Thema hohe Taktfrequenzen und Wärmeentwicklung: „Wenn Sie mit Ihren Ferrari von 0 auf 200 in 5 Sekunden und dann voll auf die Bremse, und wenn sie mehrere Autos auf einer vereisten Autobahn haben, dann ist das eine Möglichkeit, das Eis zu schmelzen...“

- *Sättigungsbereich*: für $U_{DS} \leq U_{GS} - U_T > 0V$ gilt: $I_{DS} = \frac{K}{2}(U_{GS} - U_T)^2(1 + \lambda \cdot U_{DS})$ mit $\lambda \ll 1$.

Dies ist ein *NMOS*-Transistor, da Source und Drain *n*-dotiert sind; es gibt aber analog dazu (bei Negierung aller Vorzeichen) auch *PMOS*-Transistoren, in denen Source und Drain *p*-dotiert sind. Diese Transistoren sind sog. *Anreicherungstypen (enhancement types)*.

Beim *Verarmungstyp (depletion type)* hat der DS-Kanal die gleiche Dotierung wie Source und Drain selbst, damit besteht bei $U_{GS} = 0$ ein leitender Transistor, I_{GS} wird maximal; bei negativem U_{GS} sperrt der Transistor.

Analyse der Schaltung zweier Transistoren (siehe Skizze):p

- $U_{GS} - U_T \gg 0V \Rightarrow I_{DS} = \frac{U_{DD} - U_{DS}}{R}$
- $U_{DS} = 0V \Rightarrow I_{DS} = \frac{U_{DD}}{R}$.
- $U_{GS} \approx U_{DD} \Rightarrow I_{DS} = \frac{U_{DD}}{R} \Rightarrow U_{DS} = 0V$
- $U_{GS} = 0V < U_t \Rightarrow I_{DS} = 0A; U_{DS} = U_{DD}$

D.h., die Spannung an U_{GS} wird an U_{DS} invertiert wiedergegeben.

2.5.6 Logische Verknüpfungen

Logische Verknüpfungen sind zunächst direkt als negierende Gatter zu realisieren (*NAND* und *NOR*), zusätzliche Invertierer bringen aber Verzögerungen, da die Kondensatoren in den MOSFETs eine gewisse Schaltzeit brauchen. Sinnvoll ist es also, mit negativen Verknüpfungen auszukommen.

2.5.7 Path-Transistor

Annahme: $U_{GS} \approx U_{DD}$, $q = CU_D$;

$$I_D = C \frac{dU_D}{dt} \quad (35)$$

$$= \frac{U_{DD} - U_D}{R} \quad (36)$$

$$\frac{dt}{CR} = \frac{dU_D}{U_{DD} - U_D} \quad (37)$$

$$\frac{-dt}{CR} = \frac{dU_D}{U_D - U_{DD}} \quad (38)$$

$$\frac{t}{CR} + \ln U^* = \ln(U_D - U_{DD}) \quad (39)$$

$$U^* e^{-\frac{t}{CR}} = U_D - U_{DD} \quad (40)$$

$$t = 0; U_D = 0V \Rightarrow U^* = -U_{DD} \quad (41)$$

mit Integration von (38) auf (39)

siehe Skizze:

- T_1, T_2, T_P sind gesperrt, T_P wird leitend: T_2 wird leitend.
- T_1 und T_2 sind leitend, T_P gesperrt. Wird T_P geöffnet, wird automatisch T_2 entladen und damit gesperrt³.

\Rightarrow gesperrtes T_P trennt beide Schaltungen; Öffnen von T_P transportiert Signal von T_1 an T_2

Schieberegister mit den Taktsignalen φ_1 und φ_2 :

- Transport an Signale von S_r nach S_{r+1} (r geradzahlig) mit Phase φ_2
- Transport an Signale von S_{r-1} nach S_r (r geradzahlig) mit Phase φ_1
- $S_r(t) = \neg S_{r-i}(t - i \cdot T_0)$ für ungerade i
- $S_r(t) = S_{r-i}(t - i \cdot T_0)$ für gerade i

Links-/rechts-Schieberegister braucht folgende Signale:

- Clock φ_1 , Clock φ_2
- cycle left CL , cycle right CR

³„Was hier geboten wird, ist umsonst...“

- shift left SHL , shift right SHR

Zustände an den Inverterstufen:

- $S_i = (x_{i-1} \wedge SHR \wedge \varphi_1) \vee (\neg S'_i \wedge CL \wedge \varphi_1)$
- $S'_i = (y_{i-1} \wedge SHL \wedge \varphi_2) \vee (\neg S_i \wedge CR \wedge \varphi_2)$

Vorgänge:

Vorgang	CL	CR	SHL	SHR
Ruhezustand	1	1	0	0
Links-rechts-Shift	0	1	0	1
Rechts-links-Shift	1	0	1	0

2.5.8 CMOS-Technologie

siehe Skizze - $U_G = U_{DD} = T_P$; $U_{GS} = 0V \rightarrow T_n$ gesperrt $T_N : U_{GS} = U_{DD}$; T_N geöffnet; $U_A = 0V$; $I = 0A$.

3 Schaltfunktionen und Schaltnetze

ein gedächtnisloses (passives) Schaltelement $fX \rightarrow Y$ mit Eingangswerten $X = \mathbb{B} \times \mathbb{B} \times \mathbb{B} \times \mathbb{B} \times \dots$ und entsprechendem Y . Jedem Element $(x_0, \dots, x_{n-1}) \in X$ ist eindeutig ein $(y_0, \dots, y_{m-1}) \in Y$ zugeordnet (d.h. f ist linkstotal bzw. rechtseindeutig). f kann zerlegt werden in m -Funktionen: $y_i = f_i(x_0, \dots, x_{n-1}) \in \mathbb{B} \forall i \in \{0, \dots, m-1\}$.

Schaltalgebra \rightarrow die Funktionen f_i genügen den Gesetzen der Schaltalgebra bezüglich der elementaren Verknüpfungen $\neg, \wedge, \vee, \Rightarrow, \Leftrightarrow$ ($\neg : \mathbb{B} \rightarrow \mathbb{B}$; $\wedge, \vee, \Rightarrow, \Leftrightarrow : \mathbb{B} \times \mathbb{B} \rightarrow \mathbb{B}$)

x	y	$\neg x$	$x \wedge y$	$x \vee y$	$x \Rightarrow y$	$x \Leftrightarrow Y$
0	0	1	0	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	0	0
1	1	0	1	1	1	1

$$(x \Leftrightarrow y) = \neg x \vee y \text{ und } (x \Leftrightarrow y) = (x \Leftrightarrow y) \wedge (y \Leftrightarrow x)$$

Jede Schaltfunktion $f : \mathbb{B}^n \rightarrow \mathbb{B}$ kann realisiert werden durch einen schaltalgebraischen Ausdruck/Term A_f , der wie folgt konstruiert wird:

1. Die Konstanten 0 und 1 sind atomare Terme

2. Variablen $x \in \mathbb{B}$ sind atomare Terme
3. Falls t_1 oder t_2 Terme sind, dann sind auch $\neg t_1, t_1 \wedge t_2, t_1 \vee t_2, t_1 \Rightarrow t_2, t_1 \Leftrightarrow t_2$ Terme.
4. nichts sonst ist ein Term

Es gibt folgende Tautologien:

- Idempotenz: $x \wedge x = x$ und $x \vee x = x$
- Kommutativität: $x \wedge y = y \wedge x$ und $x \vee y = y \vee x$
- Assoziativität: $x \wedge (y \wedge z) = (x \wedge y) \wedge z$ und $x \vee (y \vee z) = (x \vee y) \vee z$
- Distributivität: $x \wedge (y \vee z) = (x \wedge y) \vee (x \wedge z)$ und $x \vee (y \wedge z) = (x \vee y) \wedge (x \vee z)$
- Absorption: $x \wedge (x \vee y) = x$ und $x \vee (x \wedge y) = x$
- Negation: $x \vee \neg x = 1$ und $x \wedge \neg x = 0$
- Neutrale Elemente: $x \vee 0 = x, x \wedge 1 = x, x \vee 1 = 1$ und $x \wedge 0 = 0$
- Involution: $\neg(\neg x) = x$
- de Morgan: $\neg(x \wedge y) = (\neg x) \vee (\neg y)$ und $\neg(x \vee y) = (\neg x) \wedge (\neg y)$

3.1 Kanonische Darstellungen von Schaltfunktionen

Gegeben: $f(x_0, \dots, x_{n-1}) \in \mathbb{B}$

1. Gegeben: $x_j \in \mathbb{B}$ für alle $j \in \{0, \dots, n-1\}$ als Eingangsvariablen; $e_j \in \mathbb{B}$; $x_j^{e_j} = x_j$ falls $e_j = 1$, andernfalls $x_j^{e_j} = \neg x_j$ ($x_j^{e_j}$ ist ein Literal)
2. $i = \sum_{j=0}^{n-1} x_j^{e_j} \cdot 2^{n-1-j}$; Vereinfachte Darstellung: $x_0^{e_0} \wedge x_1^{e_1} \wedge \dots \wedge x_{n-1}^{e_{n-1}} = x_0^{e_0} x_1^{e_1} \dots x_{n-1}^{e_{n-1}}$
3. Der Term $m_i = x_0^{e_0} x_1^{e_1} \dots x_{n-1}^{e_{n-1}}$ heißt Minterm (Konjunktion von Literalen)
4. Der Term $M_i = \neg m_i = \neg(x_0^{e_0} x_1^{e_1} \dots x_{n-1}^{e_{n-1}})$ heißt Maxterm (Disjunktion von Literalen)
5. $m_i = 1$ falls $i = \sum_{j=0}^{n-1} x_j^{e_j} 2^{n-1-j}$, sonst $m_i = 0$ und $M_i = 0$ falls $i = \sum_{j=0}^{n-1} x_j^{e_j} 2^{n-1-j}$, sonst $M_i = 1$.

6. Eine Funktion $f : \mathbb{B}^n \rightarrow \mathbb{B}$ kann dargestellt werden durch $A_f = \bigvee_{i \in I} m_i$ (disjunktive kanonische Form DKF) bzw. $A_f = \bigwedge_{i' \in I'} M_{i'}$ (konjunktive kanonische Form KKF); $I, I' \subseteq \{0, \dots, 2^n - 1\}$

Beispielfür die Umformungg beliebiger Terme in KKF/DKF:

$$\begin{aligned} & ((x \Leftrightarrow y) \Leftrightarrow z) \\ &= (((\neg x \vee y) \wedge (\neg y \vee x)) \Leftrightarrow z) \\ &= ((x \wedge \neg y) \vee (y \wedge \neg x) \vee z) \end{aligned}$$

Um alle Variablen in alle Terme einzubeziehen, wendet man an:

$$((x \wedge \neg y) \wedge (z \vee \neg z)) = ((x \wedge \neg y \wedge z) \vee (x \wedge \neg y \wedge \neg z))$$

Das ergibt vereinfacht (Streichung doppelter Terme):

$$\begin{aligned} & (x \wedge \neg y \wedge \neg z) \\ & \vee (\neg x \wedge y \wedge \neg z) \\ & \vee (x \wedge y \wedge z) \\ & \vee (\neg x \wedge y \wedge z) \\ & \vee (x \wedge \neg y \wedge z) \\ & \vee (\neg x \wedge \neg y \wedge z) \end{aligned}$$

weiteres Beispiel:

$$\begin{aligned} f(x_0, x_1, x_2) &= \overline{(\overline{x_0} \vee x_1 \vee \overline{x_2})} \wedge \overline{(x_0 x_1)} \\ &= \overline{(\overline{x_0} \vee x_1 \vee \overline{x_2})} \vee \overline{(x_0 x_1)} \\ &= \overline{\overline{x_0} x_1 \overline{x_2}} \vee x_0 x_1 \\ &= x_0 \overline{x_1} x_2 \vee x_0 x_1 \\ &= x_0 \overline{x_1} x_2 \vee (x_0 x_1 \wedge (x_2 \vee \overline{x_2})) \\ &= x_0 \overline{x_1} x_2 \vee x_0 x_1 x_2 \vee x_0 x_1 \overline{x_2} \end{aligned}$$

Damit ist die disjunktive kanonische Form gefunden, allerdings schaltungs-technisch nicht ganz optimal (Zeile 4 wäre in diesem Fall einfacher).

DEFINITION: Sei $f(x_0, \dots, x_{n-1}) \in \mathbb{B}$ eine n -stellige Schaltfunktion. Sei $I \subset \{0, \dots, n-1\}$, $\bar{I} := \{0, \dots, n-1\} \setminus I$. Dann heißt

$$p^I = \bigwedge_{j \in J} x_j^{e_j}$$

Implikant von $A_f = f(x_0, \dots, x_{n-1})$, falls

$$(p^I \sqsubset A_f) \Leftrightarrow ((p^I = 1) \Rightarrow (A_f = 1))$$

(sprich „ p^I ist in A_f enthalten“) gilt.

LEMMA: Seien $p^I, p^{I'}$ Implikanten von A_f . Dann gilt: $(p^I \sqsubset p^{I'}) \Rightarrow I' \subseteq I$.

BEWEIS: $p^I \sqsubset p^{I'} \Leftrightarrow ((p^I = 1) \Rightarrow (p^{I'} = 1)) \Leftrightarrow p^I = p^{I'} \wedge \bigwedge_{j \in I \setminus I'} x_j^{e_j}$.

LEMMA: Für alle minterme $m_i = p^I \wedge \bigwedge_{j \in \bar{I}} x_j^{e_j}$ gilt: $m_i \subseteq p^I$.

BEWEIS: Folgt aus dem obigen Beweis.

DEFINITION: Sei $A_f = f(x_0, \dots, x_{n-1}) \in \mathbb{B}$. Ein Implikant p^J heißt *Primimplikant*, genau dann wenn es keinen Implikanten $p^{J'}$ (mit $p^{J'} \neq p^J$ und $p^{J'} \sqsubset A_f$) gibt, so daß $p^J \sqsubset p^{J'} \sqsubset A_f$ gilt.

DEFINITION: Ein *Minimalterm* A_{fmin} einer Schaltwerksfunktion A_f , der als Disjunktion von Implikanten dargestellt ist, hat folgende Eigenschaften:

- $A_{fmin} \Leftrightarrow A_f$
- A_{fmin} enthält eine minimale Anzahl der Verknüpfungen von \wedge und \vee .

LEMMA: Jede Minimalform eines Schaltwerkes A_f ist eine Disjunktion von Primimplikanten.

BEWEIS: Annahme: Es existiert eine Disjunktion von Implikanten p^J , die Minimalform von A_f ist, jedoch p^J sind nicht alle Primimplikant. Dann existiert ein $p^{J'}$ mit $p^J \sqsubset p^{J'} \sqsubset A_f$, dann kann p^J ersetzt werden durch $p^{J'}$, die dabei entstehende Disjunktion enthält weniger Konjunktionen.

3.2 Minimierungsverfahren für Schaltwerksfunktionen

- Wir betrachten lediglich Verfahren, die Schaltwerksfunktionen in DKF in Minimalformen wie in (3.1) definiert überführt.
- Es wird *nicht* unbedingt die Anzahl der Gatter minimiert (hängt von den Randbedingungen ab)
- Darüber hinaus gibt es weitere ggf. viel wichtigere Kriterien wie z.B. Regelmäßigkeit des Layouts, Modularisierbarkeit, Testbarkeit etc.
- Disjunktionen von Primimplikanten stellen sich als besonders geeignet für Testbarkeit von sog. „stuck-at“-Fehlern⁴ heraus

⁴Fehler, die dadurch entstehen, daß Verbindungsleitungen permanent auf 0/1 liegen

3.2.1 Das Quine-McCluskey-Verfahren

Es wird angenommen, daß $A_f = f(x_0, \dots, x_{n-1})$ in DKF vorliegt. Die Umformung von A_f in A_{fmin} erfolgt folgendermaßen: Sei $I := \{0, \dots, 2^{n-1}\}; \{m_i \mid i \in I\}$ die Menge der Minterme von A_f .

1. Wir teilen die Minterme in Klassen $K_0^{(0)} \dots K_{n-1}^{(0)}$, wobei $K_i^{(0)}$ genau die Minterme enthält, für die gilt: $\sum_{j \in I} e_j = i$. Seien $m_i \in K_j^{(0)}, m'_i \in K_{j+1}^{(0)}$ mit $\exists x_j : ((m_j = \bar{x}_j \wedge p^{j_j}) \wedge (m'_i = x_j \wedge p^{j_i}))$. Dann ist p^{j_j} ein Implikant von A_f . Generiere so viele Implikanten der Länge $|I| - 1$, wie möglich (Beispiel: $x_0 \bar{x}_1 \vee x_0 x_1 = x_0(\bar{x}_1 \vee x_1) = x_0$) Alle verbleibenden Minterme sind bereits Primimplikanten.
2. Für die verkürzten Terme werden neue Klassen $K_{0\dots n-1}(1)$ gebildet. Auf diese Klassen wird dieselbe Verkürzungsregel angewendet. Verbleibende Primimplikanten werden „aussortiert“ und das Verfahren rekursiv fortgeführt, bis keine Terme mehr zusammengefaßt werden können.
3. Auffinden der sogenannten wesentlichen Primimplikanten. Seien p_0, \dots, p_{r-1} die in (1) und (2) aufgefundenen Primimplikanten. Sei $C_{|J|,r}$ eine Matrix mit $c_{ij} = 1$, falls $m_i \sqsubset p_j$, andernfalls 0.
 P_j ist wesentlicher Primimplikant, falls $\exists i : c_{ij} = 1$ und $\forall j' : c_{ij'} = 0$.
4. Unter den nicht-wesentlichen Termen Implikanten werden - mit den kürzesten Implikanten beginnend - eine beliebige Menge ausgewählt, die zusammen mit den in (3) identifizierten wesentlichen Primimplikanten A_f vollständig überdeckt.

Beispiel:

$$\begin{aligned}
A_f &= \overline{x_0x_1x_2x_3} \vee \overline{x_0x_1x_2}x_3 \vee x_0\overline{x_1x_2x_3} \\
&\vee \overline{x_0x_1}x_2x_3 \vee x_0\overline{x_1x_2}x_3 \vee x_0x_1\overline{x_2x_3} \\
&\vee x_0x_1x_2\overline{x_3} \vee x_0x_1x_2x_3 \\
K_0^0 &= \overline{x_0x_1x_2x_3} \\
K_1^0 &= \overline{x_0x_1x_2}x_3, \\
&\quad x_0\overline{x_1x_2x_3} \\
K_2^0 &= \overline{x_0x_1}x_2x_3, \\
&\quad x_0\overline{x_1x_2}x_3 \\
K_3^0 &= x_0x_1\overline{x_2}x_3 \\
&\quad x_0x_1x_2\overline{x_3} \\
K_4^0 &= x_0x_1x_2x_3 \\
K_0^1 &= \overline{x_0x_1x_2}, \\
&\quad \overline{x_1x_2x_3} \\
K_1^1 &\quad \overline{x_0x_1}x_3, \\
&\quad \overline{x_1x_2}x_3, \\
&\quad x_0\overline{x_1x_2} \\
K_2^1 &\quad x_0\overline{x_2}x_3 \\
K_3^1 &\quad x_0x_1x_3, \\
&\quad x_0x_1x_2 \\
K^2 &\quad \overline{x_1x_2}, \\
&\quad \overline{x_0x_1}x_3, \\
&\quad x_0\overline{x_2}x_3, \\
&\quad x_0x_1x_3, \\
&\quad x_0x_1x_2
\end{aligned}$$

	$\overline{x_1x_2}$	$\overline{x_0x_1}x_3$	$x_0\overline{x_2}x_3$	$x_0x_1x_2$	$x_0x_1x_3$
$\overline{x_0x_1x_2x_3}$	<u>1</u>	0	0	0	0
$\overline{x_0x_1x_2}x_3$	1	1	0	0	0
$x_0\overline{x_1x_2}x_3$	1	0	0	0	0
$\overline{x_0x_1}x_2x_3$	0	<u>1</u>	0	0	0
$x_0\overline{x_1}x_2x_3$	1	0	1	0	0
$x_0x_1\overline{x_2}x_3$	0	0	1	0	1
$x_0x_1x_2\overline{x_3}$	0	0	0	<u>1</u>	0
$x_0x_1x_2x_3$	0	0	0	1	1

$$\begin{aligned}\Rightarrow A_{fmin} &= \overline{x_1x_2} \vee \overline{x_0x_1x_3} \vee x_0x_1x_2 \vee x_0\overline{x_2x_3} \\ \vee A_{fmin} &= \overline{x_1x_2} \vee \overline{x_0x_1x_3} \vee x_0x_1x_2 \vee x_0x_1x_3\end{aligned}$$

3.2.2 n -dimensionale Würfel

Eine Funktion $f(u) \in \{0, 1\}$ lässt sich als Gerade mit den zwei Enden 0 und 1 darstellen, eine Funktion $f(u, v) \in \{0, 1\}$ als Quadrat mit den Ecken $(0, 0)$; $(0, 1)$; $(1, 0)$; $(1, 1)$; eine Funktion $f(u, v, w)$ als Würfel.

Ein Ausdruck $A_f \overline{uv} \vee uv = (\overline{u} \vee u) \wedge v$ lässt sich auch graphisch vereinfachen: Liegen die mit oder verknüpften Terme auf benachbarten Ecken im Quadrat, so ergibt dies die gegenüberliegende Seite; entsprechend für Würfel (siehe Skizze)

3.2.3 Karnough-Diagramme

siehe Zettel

3.2.4 Optimierung

Bei Disjunktion von Primimplikanten: Minimierung in Bezug auf Signallaufzeiten und Anzahl der Junktoren, daher:

$$A_f = \bigvee_{i \in I} m_i \Rightarrow \bigvee_{i' \in I} p^{Ji'} = \neg(\neg(\bigvee_{i' \in I} p^{Ji'})) = \neg(\bigwedge_{i' \in I} \neg p^{Ji'})$$

Beispiel: $f(u_1, u_2, u_3, u_4, u_5) = \overline{u_1u_3} \vee \overline{u_1u_4} \vee \overline{u_2u_3} \vee \overline{u_2u_4} \vee \overline{u_5}$ braucht 12 Transistoren, 4 *NAND*-Gatter mit zwei Eingängen und 1 *NAND*-Gatter mit 4 Eingängen; Optimierung:

$$\begin{aligned}f(u_1, u_2, u_3, u_4, u_5) &= \overline{u_1u_3} \vee \overline{u_1u_4} \vee \overline{u_2u_3} \vee \overline{u_2u_4} \vee \overline{u_5} \\ &= \overline{u_1} \wedge (\overline{u_3} \vee \overline{u_4}) \vee \overline{u_2} \wedge (\overline{u_3} \vee \overline{u_4}) \vee \overline{u_5} \\ &= (\overline{u_1} \vee \overline{u_2}) \wedge (\overline{u_3} \vee \overline{u_4}) \vee \overline{u_5} \\ &= \neg(\neg((\overline{u_1} \vee \overline{u_2}) \wedge (\overline{u_3} \vee \overline{u_4}) \vee \overline{u_5})) \\ &= \neg(\neg((\overline{u_1} \vee \overline{u_2}) \wedge (\overline{u_3} \vee \overline{u_4})) \wedge u_5) \\ &= \neg(\neg(\neg(\neg(\overline{u_1} \vee \overline{u_2})) \wedge (\neg(\neg(\overline{u_3} \vee \overline{u_4}))) \wedge u_5))) \\ &= \neg(\neg(\neg(\overline{u_1u_2})) \wedge (\neg(u_3u_4)) \wedge u_5)\end{aligned}$$

Vorteil: nur 8 Transistoren, 4 *NAND*-Gatter, Nachteil jedoch: mehrere Stufen ergeben längere Laufzeiten⁵

3.2.5 Systeme von Schaltfunktionen

$f : \mathbb{B}^n \rightarrow \mathbb{B}^m$, Aufteilung in m Funktionen $f_i : \mathbb{B}^n \rightarrow \mathbb{B}$; Verfahren zur Minimierung:

1. Minimierung von f_i für $i \in \{0, \dots, m-1\}$, Bildung der Primimplikanten
2. Bildung der Primimplikanten $f_0 \wedge f_1; f_0 \wedge f_2; \dots; f_0 \wedge f_{m-1}; f_0 \wedge f_1 \wedge f_2; \dots; f_0 \wedge f_1 \wedge f_2 \wedge \dots \wedge f_{m-1}$
3. aufsuchen einer minimalen Überdeckung der f_i durch die so gewonnenen Primimplikanten

Beispiel:

$$\begin{array}{rcl}
 f_0 & = & \overline{u_1 u_2} \vee u_1 u_2 \\
 f_1 & = & \overline{u_1 u_2 u_3} \vee u_1 u_2 \\
 f_2 & = & \overline{u_1 u_2 u_3} \vee u_1 \\
 f_3 & = & u_1 \overline{u_2} \vee \overline{u_1 u_2 u_3} \\
 \hline
 f_0 \wedge f_1 & = & \overline{u_1 u_2 u_3} \vee u_1 u_2 \\
 f_0 \wedge f_2 & = & u_1 u_2 \\
 f_0 \wedge f_3 & = & \overline{u_1 u_2 u_3} \\
 f_1 \wedge f_2 & = & u_1 u_2 \\
 f_1 \wedge f_3 & = & 0 \\
 f_2 \wedge f_3 & = & u_1 \overline{u_2} \\
 \hline
 f_0 \wedge f_1 \wedge f_2 & = & u_1 u_2 \\
 f_0 \wedge f_1 \wedge f_3 & = & 0 \\
 f_0 \wedge f_2 \wedge f_3 & = & 0 \\
 f_1 \wedge f_2 \wedge f_3 & = & 0
 \end{array}$$

„Prim“implikanten: $\overline{u_1 u_2 u_3}, \overline{u_1 u_2} u_3, u_1 u_2, \overline{u_1} u_2 u_3, u_1 \overline{u_2}$

3.3 Programmierbare logische Arrays (PLAs)

Beispiel: Abbildung von BCD-Codes (binary coded digitals⁶) in Gray-Codes:

$$(u_0, u_1, u_2, u_3) \in \mathbb{B}^4 : u = \sum_{i=0}^3 u_i 2^{3-i}$$

⁵„Da die Integrationsdichte heute schon so groß ist, daß man gar nicht mehr weiß, was man mit der Chipfläche anfangen soll...“

⁶„Ein Informatiker muß Binärzahlen lesen können wie normale Zahlen!“

n	u_0	u_1	u_2	u_3	v_0	v_1	v_2	v_3
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	1	1	1	1
7	0	1	1	1	1	1	1	0
8	1	0	0	0	1	0	1	0
9	1	0	0	1	1	0	0	0
10	1	0	1	0	1	0	0	1

Karnaugh-Diagramm für v_0 :

v_0	00	01	11	10
00	0	0	X	1
01	0	0	X	1
11	0	1	X	X
10	0	1	X	1

Zusammengefaßt: u_0 (beide rechten Spalten); $\overline{u_0}u_1u_2$ (die beiden 1 in Spalte 2), für die anderen Ausgangssignale:

$$\begin{aligned}
v_0 &= u_0 \vee \overline{u_0}u_1u_2 \\
v_1 &= u_1\overline{u_2} \\
v_2 &= u_1u_1 \vee u_2 \\
v_3 &= \overline{u_0}u_1u_2u_3 \vee u_1u_2u_3 \vee u_0\overline{u_3} \vee \overline{u_1}u_2\overline{u_3}
\end{aligned}$$

(bei v_1 bis v_3 eventuell anderer Gray-Code verwendet, Schaltplan siehe angeblich online)

4 Zahlendarstellung und Arithmetik

4.1 Arithmetik vorzeichenbehafteter ganzer Zahlen

DEFINITION: Sei $h, p \in \mathbb{N}_0$; $i \in \{0, \dots, n-1\}$; $a_i \in \{0, \dots, p-1\}$. Mit der Notation $h = \sum_{i=0}^{n-1} a_i p^i$ heißt $a_{n-1}a_{n-2}\dots a_1a_0$ polyadische Darstellung von h zur Basis p . Beispielsweise dezimal ($p = 10$), oktal ($p = 8$), hexadezimal ($p = 16$), binär ($p = 2$).

4.1.1 Darstellung des Addieralgorithmus (Basis $p = 2$)

DEFINITION: Seien $p, h_a, h_b, h_r \in \mathbb{N}_0$; $a_i, b_i, r_i \in \{0, \dots, p-1\}$; $c_i \in \{0, 1\}$, sei $h_a = \sum_{i=0}^{n-1} a_i p^i$ und $h_b = \sum_{i=0}^{n-1} b_i p^i$ sowie $h_r = \sum_{i=0}^{n-1} r_i p^i$; und sei $h_r = h_a + h_b$, dann berechnet sich h_r komponentenweise wie folgt: $\hat{r}_i = a_i + b_i + c_{i-1}$, dann ist $r_i = \hat{r}_i \bmod p$; $c_i = \begin{cases} 1 & \text{falls } \hat{r}_i \geq p \\ 0 & \text{falls } \hat{r}_i < p \end{cases}$ (mit $c_{-1} = 0$)

$$\begin{aligned} r_i &= \overline{a_i b_i c_{i-1}} \vee \overline{a_i b_i c_{i-1}} \vee a_i \overline{b_i c_{i-1}} \vee a_i b_i c_{i-1} \\ &= a_i \not\leftrightarrow b_i \not\leftrightarrow c_{i-1} \\ c_i &= \overline{a_i b_i c_{i-1}} \vee a_i \overline{b_i c_{i-1}} \vee a_i b_i \overline{c_{i-1}} \vee a_i b_i c_{i-1} \\ &= (a_i b_i \vee a_i \overline{b_i}) c_{i-1} \vee a_i b_i \\ &= ((a_i \not\leftrightarrow b_i) c_{i-1})^* \vee (a_i b_i)^{**} \end{aligned}$$

$Term^*$ wird Carry propagation Term genannt, $Term^{**}$ ist ein Generator-Term

4.1.2 Berücksichtigung der Vorzeichen

Sei $h \in \{-p^{n-1}, \dots, -1, 0, 1, \dots, p^{n-1} - 1\}$, dann heißt $a_{n-1} a_{n-2} \dots a_1 a_0$ zur Basis p eine p -Komplementdarstellung von h , falls

$$\hat{h} = \sum_{i=0}^{n-1} a_i p^i = \begin{cases} |h| & \text{falls } 0 \leq h \leq p^{n-1} \\ p^n - |h| & \text{falls } 0 > h \geq -p^{n-1} \end{cases}$$

Graphische Darstellung siehe Zettel; es gilt:

$$(a_{n-1} = 0) \Leftrightarrow (h \geq 0) \wedge (a_{n-1} = p-1) \Leftrightarrow (h < 0)$$

Sei $h \in \{-(p^{n-1} - 1), \dots, -1, 0, 1, \dots, p^{n-1} - 1\}$, dann heißt $a_{n-1} a_{n-2} \dots a_1 a_0$ zur Basis p eine $(p-1)$ -Komplementdarstellung von h , falls

$$\hat{h} = \sum_{i=0}^{n-1} a_i p^i = \begin{cases} |h| & \text{falls } 0 \leq h \leq p^{n-1} \\ p^n - 1 - |h| & \text{falls } 0 \geq h \geq -p^{n-1} \end{cases}$$

Folgerung:

$$\begin{aligned} (h > 0) &\Rightarrow (a_{n-1} = 0) \\ (h < 0) &\Rightarrow (a_{n-1} = 1) \\ (h = 0) &\Rightarrow (a_{n-1} = 0) \vee (a_{n-1} = 1) \end{aligned}$$

THEOREM: Sei $a'_{n-1}a'_{n-2}\dots a'_i\dots a'_0$ eine $(p-1)$ -Komplementdarstellung von $h' \leq 0$ und $a_{n-1}a_{n-2}\dots a_i\dots a_0$ eine $(p-1)$ -Komplementdarstellung von $h \geq 0$ und $|h| = |h'|$, dann geht h' aus h durch stellenweise Komplementierung von h hervor.

BEWEIS:

$$\begin{aligned}
h &= \sum_{i=0}^{n-1} a_i p^i \\
&= p^n - 1 - \sum_{i=0}^{n-1} a'_i \cdot p^i \\
&= \sum_{i=0}^{n-1} (p-1 - a'_i) \cdot p^i \\
&= \sum_{i=0}^{n-1} (p^{i+1} - p^i - a'_i p^i) \\
&= p^n - 1 - \sum_{i=0}^{n-1} a'_i p^i
\end{aligned}$$

KOROLLAR: Die Negation einer p -Komplementdarstellung einer Zahl h kann erhalten werden durch stellenweise $(p-1)$ -Komplementierung und Addition von 1.

THEOREM: Seien $h_a, h_b, h_r \in \{-2^{n-1}, \dots, -1, 0, 1, 2^{n-1}\}$ und gelte

$$\begin{aligned}
|h_a|, |h_b| &< 2^{n-1} \quad \text{falls } h_a, h_b \geq 0 \\
|h_a|, |h_b| &\leq 2^{n-1} \quad \text{falls } h_a, h_b < 0
\end{aligned}$$

Dann ist das Ergebnis der Addition der 2-Komplement-Darstellung von h_a, h_b der Länge n eine korrekte 2-Komplement-Darstellung von $h_r = h_a + h_b$ der Länge n , falls eine der folgenden Bedingungen gilt:

1. $(h_a \geq 0) \wedge (h_b \geq 0) \wedge (h_r < 2^{n-1})$
2. $(h_a < 0) \wedge (h_b < 0) \wedge (|h_a| + |h_b| \leq 2^{n-1})$
3. $((h_a \geq 0) \wedge (h_b < 0)) \vee ((h_a < 0) \wedge (h_b \geq 0))$

KOROLLAR: Das Ergebnis der Addition zweier 2-Komplement-Darstellungen der Länge n von Zahlen ist genau dann korrekt, wenn $c_{n-1} = c_{n-2}$ ist.

4.2 Das Carry-propagation-Problem

- Verzögerung eines $NAND$ -Gatters: $\Delta t_{NAND} = 1$.
- Verzögerung von $r_0|c_0$ gegenüber stabilen Eingängen a_i, b_i, c_{IN} zur Zeit $t = 0$.
- Verzögerung von $r_i|c_i$: $\Delta t_{r_2}|\Delta t_{c_i} = i \cdot 2$
- Verzögerung von $r_{n-1}|c_{n-1}$: $\Delta t_{r_{n-1}}|\Delta t_{c_{n-1}} = 2 \cdot (n - 1)$
- pro Addierstufe: 7 $NAND$ -Gatter mit 3 Eingängen (6 Transistoren pro Gatter) + 2 $NAND$ -Gatter mit 2 Eingängen (2 Transistoren pro Gatter)
- bei vierstufiger Addierweise: 184 $CMOS$ -Transistoren
- Carry-Look-Ahead-Logik:

$$\begin{aligned}
 c_i &= g_i \vee p_i c_{i-1} \\
 c_{i-1} &= g_{i-1} \vee p_{i-1} c_{i-2} \\
 c_3 &= g_3 \vee p_3 c_2 \\
 &= g_3 \vee g_3 \wedge (g_2 \vee p_2 c_1) \\
 &= g_3 \vee p_3 g_2 \vee p_3 p_2 c_1 \\
 &= g_3 \vee p_3 g_2 \vee p_3 p_2 \wedge (g_1 \vee p_1 c_0) \\
 &= g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 c_0 \\
 &= g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 \wedge (g_0 \vee p_0 c_{IN}) \\
 &= g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 g_0 \vee p_3 p_2 p_1 p_0 c_{IN} \\
 &= \neg(\neg g_3 \wedge \neg p_3 g_2 \wedge \neg p_3 p_2 g_1 \wedge \neg p_3 p_2 p_1 g_0 \wedge \neg p_3 p_2 p_1 p_0 c_{IN})
 \end{aligned}$$

- zusätzlicher Aufwand an Transistoren: 84 $CMOS$
- Verzögerung der Berechnung von $r_i|c_i$: $\Delta t_{r_i} = 6$
- Vierstufiges Carry-Look-ahead: $c_i = g_i \vee p_i c_{i-1}$ mit $i \in \{1, \dots, n - 1\}$ indiziert vierstufige Addierer
- Hierarchische Carry-Berechnung: Verzögerung durch das hierarchisch höhere Carry-Look-ahead-Schaltnetz von $\Delta t_H = 2$, konstante Verzögerung in allen Stufen von $\Delta t_{c_i} = 6, \Delta t_{r_i} = 8$

4.3 Binär-Multiplikation

Sei $h_a = \sum_{i=0}^{n-1} a_i p^i$ und $h_b = \sum_{i=0}^{n-1} b_i p^i$. Für das Produkt ergibt sich

$$h_r = \sum_{i=0}^{n-1} h_b a_i p^i = \sum_{i=0}^{n-1} \left(\left(\sum_{j=0}^{n-1} b_j p^j \right) \cdot a_i p^i \right)$$

Binärdarstellung: $\sum_{i=0}^{n-1} \left(\left(\sum_{j=0}^{n-1} b_j 2^j \right) \cdot a_i 2^i \right)$.

Beispiel⁷: $n = 4$

2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
r_7	r_6	r_5	r_4	r_3	r_2	r_1	r_0
					$b_3 a_0$	$b_1 a_0$	$b_0 a_0$
			$b_3 a_1$	$b_2 a_1$	$b_1 a_1$	$b_0 a_1$	
		$b_3 a_2$	$b_2 a_2$	$b_1 a_2$	$b_0 a_2$		
	$b_3 a_3$	$b_2 a_3$	$b_1 a_3$	$b_0 a_3$			

4.3.1 Kaskadierung von Multiplikationen

Sei $h_a = \sum_{i=0}^7 a_i p^i$ und $h_b = \sum_{i=0}^7 b_i p^i$. Produkt $h_r = h_a h_b = \sum_{k=0}^{15} r_k 2^k$.

Aufspaltung:

$$\begin{aligned}
 h_a &= 2^4 \cdot \left(\sum_{i=0}^4 (a_{i+4} 2^i) \right) + \sum_{i=0}^3 a_i 2^i \\
 &= 2^4 \cdot A_H + A_L \\
 h_b &= 2^4 \cdot \left(\sum_{j=0}^4 (b_{j+4} 2^j) \right) + \sum_{j=0}^3 b_j 2^j \\
 &= 2^4 \cdot B_H + B_L \\
 h_r &= (2^4 A_H + A_L) \cdot (2^4 B_H + B_L) \\
 &= 2^8 A_H B_H + 2^4 (A_H B_L + A_L B_H) + A_L B_L \\
 h_r &= 2^8 A_H B_H + 2^4 (A_H B_L + A_L B_H) + A_L B_L \\
 \text{Stellen} & \quad \quad 15..8 \quad \quad \quad 11..4 \quad \quad \quad 7..0
 \end{aligned}$$

Partielle Summen:

0..4	$A_L B_L$				2^0
5..7	$A_L B_L$	$A_H B_L$	$A_L B_H$		2^4
8..11		$A_H B_L$	$A_L B_H$	$A_H B_H$	2^8
12..15				$A_H B_H$	2^{12}

⁷„Ich dachte immer, Frauen reden nur... das stimmt übrigens auch... Sie reden ja wie ein Waschweib!“

4.4 Konvertierungen von Zahlendarstellungen verschiedener Basen

Seien $c, b, r, q \in \mathbb{N}_0$ und $r \in \{0, \dots, q-1\}$. Sei $h = \sum_{i=0}^{n-1} a_i p^i = \sum_{j=0}^{m-1} b_j q^j$.

$$\begin{aligned} h &= h_1 q + r_0 \\ h_1 &= h_2 q + r_1 \\ h_2 &= h_3 q + r_2 \\ h_{n-1} &= \left(\frac{h_n}{q}\right) \pmod{q} \end{aligned}$$

Beispiel: $691|_{10} = x|_2$

$$\begin{array}{r|l} 691 : 2 = 345 & r_0 = 1 \\ 345 : 2 = 172 & r_1 = 1 \\ 172 : 2 = 86 & r_2 = 0 \\ 86 : 2 = 43 & r_3 = 0 \\ 43 : 2 = 21 & r_4 = 1 \\ 21 : 2 = 10 & r_5 = 1 \\ 10 : 2 = 5 & r_6 = 0 \\ 5 : 2 = 2 & r_7 = 1 \\ 2 : 2 = 1 & r_8 = 0 \\ 1 : 2 = 0 & r_9 = 1 \end{array}$$

5 Sequentielle Schaltwerke

Endliche Automaten: x_0, \dots, x_{n-1} Eingaben; y_0, \dots, y_{m-1} Ausgaben, q_0, \dots, q_{k-1} Leitungen zum Zwischenspeichern (siehe Zettel), $X \in \mathbb{B}^n, Y \in \mathbb{B}^m, Q \in \mathbb{B}^k, h : X \times Q \rightarrow Q, g : X \times Q \rightarrow Y$.

5.1 Multiplikation als wiederholte Addition

Vorzeichenbehandlung theoretisch (wird hier erstmal nicht betrachtet):

1. 2-Komplementierung negativer in positive Zahlendarstellungen
2. getrennte Berechnung des Resultatvorzeichens und Aufbewahrung bis zur Beendigung von Multiplikation oder Division
3. Vorzeichenkorrektur des Resultates (ggf. durch 2-Komplementierung)

Schaltung siehe Folie, hinzu kommt noch ein Schaltwerk, daß für fast alle Komponenten die Steuerleitungen schaltet.

Multiplikation:

- Bei $(op - 2 \cdot op - 1)$: Festlegung von $op - 2$ als Multiplikator und $op - 1$ als Multiplikant
- initial: $op - 1 \rightarrow C$ -Register; $op - 2 \rightarrow B$ -Register; $part,es \rightarrow A$ -Register
- Berechnungsablauf: $op - 2$ wird im Laufe der Berechnung durch Rechtsshifts verbraucht/abgebaut, Resultat baut sich durch Rechtsshifts über A und B auf
- Register: $A[31..0]$, $B[31..0]$, $C[31..0]$, $D[31..0]$, $ACC[31..0]$, $STAT[3..0]$, $CC[4..0]$, CIN , LL , RR
- $shrACC \equiv (ACC[0] \rightarrow RR) \wedge (ACC[31..1] \rightarrow ACC[30..0]) \wedge (LL \rightarrow ACC[31])$
- $shlACC \equiv (ACC[0] \leftarrow RR) \wedge (ACC[31..1] \leftarrow ACC[30..0]) \wedge (LL \leftarrow ACC[31])$
- $A = B'0..0'$; $B = op - 2$, $C = op - 1$, $CIN = B'0'$, $C = B'11111'$
- Ablauf der Multiplikation:

```

while (CC >= B'00000')
  { ACC = B;
    shrACC;
    if (RR = B'1')
      { ACC = add A C;
        A = ACC;
      }
    ACC = A || LL = 0;
    shr ACC;
    LL = RR || A = ACC;
    ACC = B;
    shr ACC;
    B = ACC;
    decr CC
  }

```

Division:

- Dividend (2×32 -bit stellig) wird in $A + B$ gehalten
- Divisor (32-stellig) wird in C gehalten
- Division wird ausgeführt durch wiederholte Subtraktion des Divisors von A , Aufbau des Resultates in B durch Linksshift von $A + B$
- Bei $(op - 2 \div op - 1)$: $op - 2$ ist Dividend und $op - 1$ ist Divisor
- Register: $A[31..0] = op - 2[63..32]$, $B[31..0] = op[31..0]$, $C = op - 1$, $CIN = B'1'$, $CC = B'11111'$
- Ablauf der Division:

```

while (CC >= B'00000')
  { ACC = add (inv C) A || STAT[0] = SIGN;
    if (STAT[0] == B'0')
      { A = ACC || RR = B'0' }
    else
      { RR = B'0' }
    ACC = B;
    shl ACC;
    B = ACC || RR = LL;
    ACC = A;
    shl ACC;
    A = ACC;
    decr CC;
  }

```

5.2 Speichern der Elemente

Zur Darstellung von Binärzuständen $q \in \{0, 1\}$:

- Latches \Rightarrow übernehmen Eingaben unmittelbar als Zustand
- Flipflops \Rightarrow übernehmen Eingaben nur bei Vorliegen von Taktimpulsen

5.2.1 RS-Latch

$r \equiv \text{reset}, s \equiv \text{set}$

	s	r	q	q_{next}
<i>hold</i>	0	0	1	1
	0	0	0	0
<i>reset</i>	0	1	1	0
	0	1	0	0
<i>set</i>	1	0	1	1
	1	0	0	1
<i>verboten</i>	1	1	00	

5.2.2 Regelgesteuertes Latch

t_s setup time und t_h hold time, $\neg s$ muß stabil bleiben t_s vor und t_h nach der ansteigenden Flanke von $\neg en$, damit $\neg s$ sicher übernommen wird nach q .

D.h. es wird das übernommen, was bei einer ansteigenden Flanke von $\neg en$ stabil bleibt.

5.2.3 JK-Latch

vermeidet verbotene Zustände $q_1 = q_2$,

	r	s	q_1	q_2	q_1^{next}	q_2^{next}
<i>hold</i>	0	0	0	1	0	1
	0	0	1	0	1	0
<i>reset</i>	1	0	0	1	1	0
	1	0	1	0	1	0
<i>set</i>	0	1	0	1	0	1
	0	1	1	0	0	1
<i>toggle</i>	1	1	0	0	1	0
	1	1	1	0	0	1

5.2.4 JK-Master-Slave-Latch (Flipflop)

Verhindert sofortiges *toggle*, da der Zustand erst nach einem vollständigen clock up und down übernommen wird.

5.2.5 D-Flipflop (flankengesteuert)

siehe Schaubild (online)

clk	D	Pt	Pb	q	$\neg q$
1	0	0	0	q	$\neg q$
1	1	0	0	q	$\neg q$
0	0	1	0	0	1
0	1	0	1	1	0
0	0	1	0	0	1
0	1	1	0	0	1
0	0	1	0	0	1

5.3 Register

Register sind n -stellige eindimensionale Arrays von Latches/FlipFlops zur Speicherung von Datenwerten/Instruktionen/Adressen im Prozessor (CPU).

5.3.1 einfache speichernde Register

5.3.2 Tri-State-Registerausgänge

Tri-State: *undefined*, *true*, *false*; siehe Graphik CMOS-Tri-State-Stufe: T_{PG} und T_{NG} bilden bezüglich U_I bzw. Ausgang U_\emptyset eine CMOS-Inverterstufe, falls T_{NR}/T_{PT} leitend sind. T_{NL}/T_R bilden die TriState-Eigenschaft:

- $U_C = 0V \Rightarrow T_{NL}/T_{NT}$ sind gesperrt; $U_R = U_{CC} \Rightarrow T_{PT}$ ist gesperrt
über den gesamten Pfad $T_{PT}, T_{PG}, T_{NG}, T_{NT}$ fließt kein Strom, der Ausgang \emptyset ist hochohmig/hoher Widerstand
- $U_C = U_{CC} \Rightarrow T_{NL}/T_{NT}$ sind leitend; $U_R \approx 0V \Rightarrow T_{PT}$ ist leitend
 T_{PG}/T_{NG} bilden eine Inverterstufe für U_I /niedrigohmig

Damit ist bei $U_C = 0V$ das Register für den Bus nicht existent, da U_\emptyset das Potential, das am Bus anliegt, direkt übernimmt.

5.3.3 Schieberegister

$$\begin{aligned} J_i &= q_{i-1} \wedge shr \vee q_{i+1} \wedge shl \\ K_i &= \overline{q_{i-1}} \wedge shr \vee \overline{q_{i+1}} \wedge shl \end{aligned}$$

5.3.4 Zählregister

einfachste Form eines endlichen Automaten, $A = (Q, X, Y, h, g)$; $Q \in \mathbb{B}^k$, $X \in \mathbb{B}^n$, $Y \in \mathbb{B}^m$; Zustandsänderung $h : X \times Q \rightarrow Q$; Ausgabe $g : Q \rightarrow Y$

Beispiel: vierstelliger Zähler $((q_0, q_1, q_2, q_3) \in \mathbb{B}^4)$

q_3	q_2	q_1	q_0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0

$$\delta_{q_0} = clk$$

$$\delta_{q_1} = clk \wedge q_0$$

$$\delta_{q_2} = clk \wedge q_0 \wedge q_1$$

$$\delta_{q_3} = clk \wedge q_0 \wedge q_1 \wedge q_2$$

$$\delta_{\uparrow q_n} = clk \wedge \left(\bigwedge_{i=0}^{n-1} q_i \right)$$

$$\delta_{\downarrow q_n} = clk \wedge \left(\bigwedge_{i=0}^{n-1} \neg q_i \right)$$

q_3	q_2	q_1	q_0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0

5.4 Arbeitsspeicher

1. statische Speicher: behalten ihre Zustände über beliebige Zeiten bei (falls Spannung anliegt)⁸ Zeiten bei (falls Spannung anliegt)
2. dynamische Speicher: verlieren ihren Inhalt über der Zeit, benötigen periodische Auffrischung (refresh-cycles: Auslesen, auswerten, zurückschreiben)

5.5 Entwurf eines finiten Automaten

Schritte:

1. informale Spezifikation
2. formale Spezifikation
3. Minimierung der Zustände
4. Codierung von Zuständen, Eingaben, Ausgaben
5. Implementierung
 - $A = (Q, X, Y, h, g)$; $Q \in \mathbb{B}^k, X \in \mathbb{B}^n, Y \in \mathbb{B}^m$
 - Moore-Autom.: Zustandsänd. $h : X \times Q \rightarrow Q$; Ausgabe $g : Q \rightarrow Y$
 - Mealey-Autom.: Zustandsänd. $h : X \times Q \rightarrow Q$; Ausgabe $g : X \times Q \rightarrow Y$

5.5.1 Beispiel: Fahrkartenautomat

Spezifikation (informal):

1. Automat gibt Fahrkarten für Zonen A, B, C aus zu $2.00 \text{ EUR}, 2.50 \text{ EUR}, 3.00 \text{ EUR}$
2. akzeptiert Münzen zu $0.50 \text{ EUR}, 1.00 \text{ EUR}, 2.00 \text{ EUR}$
3. Fahrkartenausgabe erfolgt nach Erreichen bzw. Überschreiten des erforderlichen Betrages
4. Ausgabe der Fahrkarte ggf. zusammen mit Wechselgeld
5. Anullierung partieller Eingaben

Spezifikation (formal): graphisch

⁸diese Zeilen waren nur lesbar dank Dirks heldenhaftem (z.T. erfolgreichem) Einsatz an der Playstation - ähm, Schaltkonsole